



#5 priority doc
DTAUGUSTON
3-6-01

520.38856X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): MASUDA, et al
Serial No.: 09/634,544
Filed: August 8, 2000
For: VOLTAGE CONTROLLED OSCILLATOR AND PLL CIRCUIT
USING THE SAME

LETTER

Commissioner for Patents
Washington, D.C. 20231

October 26, 2000

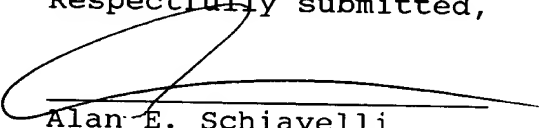
Sir:

Under the provisions of 35 U.S.C. and 37 CFR 1.55, the
applicant(s) hereby claim(s) the right of priority based on:

Japanese Patent Application No. 2000-068606,
filed March 8, 2000

The certified copy of said Japanese application is
attached hereto.

Respectfully submitted,


Alan E. Schiavelli
Registration No. 32,087
ANTONELLI, TERRY, STOUT & KRAUS, LLP

AES/MK/cee
Attachment(s)
(703) 312-6600

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 3月 8日

出 願 番 号
Application Number:

特願2000-068606

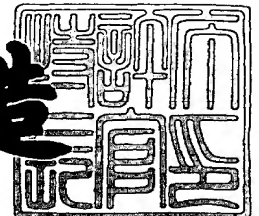
出 願 人
Applicant(s):

株式会社日立製作所

2000年 9月18日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3073966

【書類名】 特許願

【整理番号】 H00000321A

【提出日】 平成12年 3月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H03B 5/20

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地
株式会社日立製作所中央研究所内

 【氏名】 益田 昇

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地
株式会社日立製作所中央研究所内

 【氏名】 山下 寛樹

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧制御発振器およびPLL回路および半導体集積回路装置

【特許請求の範囲】

【請求項1】

一端を第1の電源に接続された第1のMOSトランジスタと、上記第1のMOSトランジスタの他端と第2の電源の間に並列に接続された発振器および第1の容量素子を備え、上記第1のMOSトランジスタのゲート電圧を制御することによって上記発振器の発振周波数を制御するように構成された電圧制御発振器において、上記第1のMOSトランジスタとは別に上記発振器の発振周波数を制御する第2の手段を備えたことを特徴とする電圧制御発振器。

【請求項2】

上記第2の手段は、1ビットのデジタル信号によって上記発振器の発振周波数を制御するように構成された請求項1の電圧制御発振器。

【請求項3】

上記第2の手段は、上記発振器の中の信号ノードの1つと上記第2の電源の間に直列に接続された第2の容量素子および第2のMOSトランジスタにより構成された請求項1または2のいずれかの電圧制御発振器。

【請求項4】

上記発振器は、Pチャネル型のMOSトランジスタおよびNチャネル型のMOSトランジスタを直列に接続したインバータを少なくとも3個備え、上記インバータの出力と入力を順次接続し、その1番目を除く奇数番目のインバータのいずれかの出力を上記1番目のインバータの入力に接続して構成された請求項1～3のいずれかの電圧制御発振器。

【請求項5】

上記発振器は、Pチャネル型のMOSトランジスタおよびNチャネル型のMOSトランジスタを直列に接続したインバータを3個以上の奇数個備え、上記インバータの出力と入力を順次接続し、その最後のインバータの出力を最初のインバータの入力に接続して構成された請求項1～4のいずれかの電圧制御発振器。

【請求項 6】

位相比較器と周波数比較器と電圧制御発振器とを備え、上記位相比較器および上記周波数比較器の出力に応じて変化するアナログの制御電圧と上記位相比較器の出力とにより上記電圧制御発振器の発振周波数が制御されるように構成された PLL 回路において、上記電圧制御発振器が、一端を第 1 の電源に接続されゲート電極に上記アナログの制御電圧を接続された第 1 の MOS トランジスタと、上記第 1 の MOS トランジスタの他端と第 2 の電源との間に並列に接続された発振器および第 1 の容量素子を備えて構成されたことを特徴とする PLL 回路。

【請求項 7】

位相比較器と周波数比較器と電圧制御発振器とを備え、上記位相比較器および上記周波数比較器の出力に応じて変化するアナログの制御電圧と上記位相比較器の出力とにより上記電圧制御発振器の発振周波数が制御されるように構成された PLL 回路において、上記周波数比較器の 1 回の比較結果に基づいて上記アナログの制御電圧が変化するときの変化量が、上記位相比較器の 1 回の比較結果に基づいて上記アナログの制御電圧が変化するときの変化量より多くなるように構成されたことを特徴とする PLL 回路。

【請求項 8】

位相比較器と周波数比較器と電圧制御発振器とクロック分配回路と分周器とを備え、上記位相比較器および上記周波数比較器の出力に応じて変化するアナログの制御電圧と上記位相比較器の出力とにより上記電圧制御発振器の発振周波数が制御され、上記電圧制御発振器の出力が上記クロック分配回路を介して半導体集積回路装置内の多数の分配先に分配され、その内の 1 つが上記分周器に入力され、上記分周器の出力が上記位相比較器および上記周波数比較器において基準となる信号と比較されるように構成された半導体集積回路装置において、上記電圧制御発振器が、一端を第 1 の電源に接続されゲート電極に上記アナログの制御電圧を接続された第 1 の MOS トランジスタと、上記第 1 の MOS トランジスタの他端と第 2 の電源との間に並列に接続された発振器および第 1 の容量素子を備えて構成されたことを特徴とする半導体集積回路装置。

【請求項 9】

位相比較器と周波数比較器と電圧制御発振器とクロック分配回路と分周器とを備え、上記位相比較器および上記周波数比較器の出力に応じて変化するアナログの制御電圧と上記位相比較器の出力とにより上記電圧制御発振器の発振周波数が制御され、上記電圧制御発振器の出力が上記クロック分配回路を介して半導体集積回路装置内の多数の分配先に分配され、その内の 1 つが上記分周器に入力され、上記分周器の出力が上記位相比較器および上記周波数比較器において基準となる信号と比較されるように構成された半導体集積回路装置において、上記周波数比較器の 1 回の比較結果に基づいて上記アナログの制御電圧が変化するときの変化量が、上記位相比較器の 1 回の比較結果に基づいて上記アナログの制御電圧が変化するときの変化量より多くなるように構成されたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路チップの内部で使用するクロック信号を発生させるための PLL（フェーズロックドループ）回路と、その PLL 回路の構成要素の 1 つである電圧制御発振器に関し、特に、電源電圧変動によって発生するジッタを低減するための回路に関する。

【0002】

【従来の技術】

従来の電圧制御発振器の一例を図 2 に示す。この回路は、1998 年 2 月 7 日に開催された ISSCC（International Solid-State Circuit Conference）の予稿集 397 ページに記載された回路である。この回路は、参照符号 VCCO で示されたノードと参照符号 VSSA で示された電源の間にある 3 段のインバータによって発振器が構成され、参照符号 M2 で示された MOS トランジスタのゲート電圧を制御することにより、上記発振器の発振周波数を制御するようになっている。またこの回路は、外部から加えられる電源 VDDA と VSSA の間の電源電圧が変動しても、上記発振器の発振周波数が直ちに変動しないように、参

照符号Cで示されたコンデンサを設けてVCCOのノードとVSSAの電源の間の電圧の変動を遅らせている。これにより、電源電圧変動によって発生するジッタを低減している。

【0003】

また、従来の電圧制御発振器の他の例を図3に示す。この回路は、特開平11-15541の明細書において当社が開示した回路であり、同明細書の図3と図6を組み合わせた回路である。この回路は、参照符号150で示したアナログの制御信号による粗調整と、参照符号151で示したデジタルの制御信号による微調整によって発振周波数を制御している。またこの回路は、外部から加えられる電源VddとVssの間の電源電圧が変動しても、発振周波数が直ちに変化しないように、参照符号120で示したコンデンサを設けて、参照符号350のノードとVddの電源の間の電圧の変動を遅らせている。これにより、電源電圧変動によって発生するジッタを低減している。

【0004】

【発明が解決しようとする課題】

図2の回路では、上記文献の396ページにも記載されているように、参照符号Cで示されたコンデンサの容量値をあまり大きくすると制御の安定性が保てなくなる。したがってこの容量値を極力大きくしてジッタを極力低減するということは難しい。

【0005】

図3の回路では、発振周波数を制御するためのMOSトランジスタ321～325および331～335と電源電圧変動に対する安定化のためのMOSトランジスタ340が別々に設けられるため、電源VddとVssの間には直列に5個のMOSトランジスタ（例えば、331, 311, 301, 321, 340）が接続される。したがって、その一つひとつにかけられる電圧が低くなる。ところが、MOSトランジスタ340にかける電圧が低くなると、このMOSトランジスタが飽和状態（ドレイン－ソース間電圧が変化しても電流が殆ど変化しない状態）で動作する範囲が狭くなり、したがって電源電圧変動を許容できる変動幅が小さくなる。電源電圧変動の許容範囲を確保するためにMOSトランジスタ34

0 にかかる電圧を高くすると、3 5 0 のノードと V d d の電源の間の電圧（すなわち発振器にかかる電圧）が低くなり、上限発振周波数が低くなる。

【 0 0 0 6 】

本発明が解決しようとする課題の 1 つは、電圧制御発振器の発振出力において、電源電圧が変動したときに生じるジッタを低減することにある。

【 0 0 0 7 】

本発明が解決しようとする課題の他の 1 つは、P L L 回路の発振出力において、電源電圧が変動したときに生じるジッタを低減することにある。

【 0 0 0 8 】

本発明が解決しようとする課題の他の 1 つは、半導体集積回路装置のクロック信号において、電源電圧が変動したときに生じるジッタを低減することにある。

【 0 0 0 9 】

【課題を解決するための手段】

本発明の課題の 1 つは、一端を第 1 の電源に接続された M O S トランジスタと、上記 M O S トランジスタの他端と第 2 の電源の間に並列に接続された発振器および容量素子を備え、上記 M O S トランジスタのゲート電圧を制御することによって上記発振器の発振周波数を制御するように構成された電圧制御発振器において、上記 M O S トランジスタとは別に上記発振器の発振周波数を制御する第 2 の手段を備えることにより解決できる。

【 0 0 1 0 】

また、本発明の課題の他の 1 つは、上記のような電圧制御発振器を用いて P L L 回路を構成することにより解決できる。

【 0 0 1 1 】

また、本発明の課題の他の 1 つは、上記のような P L L 回路を用いて半導体集積回路装置を構成することにより解決できる。

【 0 0 1 2 】

【発明の実施の形態】

本発明による電圧制御発振器の実施例の一つを図 1 に示す。図 1 において、参照符号 1 0 0 ～ 1 0 3 は N チャネル型の M O S トランジスタ（以下 N M O S と称

する)、111~115はPチャネル型のMOSトランジスタ(以下PMOSと称する)、120~122は容量素子、131はバッファ回路、132はレベルシフト回路を示す。また、参照符号Vddは高電位側の電源およびその端子、Vssは低電位側の電源およびその端子、150はアナログの制御信号およびその入力端子、151はデジタルの制御信号およびその入力端子、160は発振出力およびその出力端子、170~174は内部信号およびそのノードを示す。

【0013】

なお、上記の容量素子120~122は、PMOSまたはNMOSのソース電極およびドレイン電極とゲート電極の間の容量を使って構成すれば、比較的小さな面積で実現することができる。また、バッファ回路131を構成するNMOSやNMOS101~103のバックバイアス電圧としては、170のノードの電圧をかける。

【0014】

この回路は、NMOS101~103およびPMOS111~113の部分、すなわち参照符号130で示した部分が発振器となる。この発振器は、NMOS101およびPMOS111、NMOS102およびPMOS112、NMOS103およびPMOS113がそれぞれインバータを構成し、この3個のインバータの出力と入力を順次接続した、いわゆるリングオシレータと呼ばれる構成である。

【0015】

この発振器の発振周波数は、アナログの制御信号150による粗調整と、デジタルの制御信号151による微調整によって制御する。

【0016】

アナログの制御信号150による粗調整は、NMOS100に流れる電流を制御することによって行なう。例えば制御信号150の電圧を高くすると、NMOS100に流れる電流が増加し、170のノードの電圧が下がり、電源Vddと170のノードの間の電圧、すなわち発振器130にかかる電圧が高くなる。すると、この発振器の発振周波数は高くなる。制御信号150の電圧を低くすると、上記の逆の作用で、この発振器の発振周波数は低くなる。

【 0 0 1 7 】

なお、NMOS 1 0 0 は発振器 1 3 0 に流れる電流とバッファ回路 1 3 1 に流れる電流の両方を流すため、大きな電流を流せるようにする必要がある。また、後述のようにNMOS 1 0 0 は飽和状態（ドレイン電極とソース電極の間の電圧の変化に対して、MOSを流れる電流が殆ど変化しない状態）にするのが望ましい。そこで、NMOS 1 0 0 は多数のNMOSを並列に接続して、そのゲート幅の総和がNMOS 1 0 1 ~ 1 0 3 等のゲート幅よりはるかに大きく（例えば1 0 0 倍以上に）なるように構成する。

【 0 0 1 8 】

デジタルの制御信号 1 5 1 による微調整は、発振器の内部信号である 1 7 1 のノードに付加される負荷の重さを制御することによって行なう。PMOS 1 1 5 は常に導通するため、1 7 1 と 1 7 4 のノードは常に接続されている。したがって、制御信号 1 5 1 が例えばローレベルの場合、PMOS 1 1 4 は導通するため、容量素子 1 2 1 が 1 7 4 や 1 7 1 のノードに接続される。

【 0 0 1 9 】

すると、1 7 1 のノードに付加される負荷は容量素子 1 2 1 の分だけ重くなる。制御信号 1 5 1 がハイレベルの場合、PMOS 1 1 4 が遮断し、1 7 1 のノードに付加される負荷は容量素子 1 2 1 の分だけ軽くなる。したがって、制御信号 1 5 1 がローレベルのときには発振周波数が低く、ハイレベルのときには高くなる。

【 0 0 2 0 】

この制御信号 1 5 1 による発振周波数の変化量は、容量素子 1 2 1 の容量値によって変えられる。なおPMOS 1 1 5 は無くても同じように動作するが、この実施例では、制御信号 1 5 1 が変化したときに 1 7 4 のノードに誘起されるカップリングノイズが 1 7 1 のノードに与える影響を低減するために上記PMOS 1 1 5 を設けてある。

【 0 0 2 1 】

つぎに、V d d と V s s の間の電源電圧が変化したときの動作を説明する。ただし、容量素子 1 2 0 の容量値は充分大きいとする。また、NMOS 1 0 0 のゲ

ート幅（複数のNMOSで構成した場合にはそのゲート幅の総和）は十分に大きく、飽和状態にあるとする。

【0022】

電源電圧が変化した直後には、容量素子120の容量値が大きいため発振器130にかかる電圧は殆ど変化しない。したがって、NMOS100にかかる電圧が電源電圧の変化幅とほぼ同じだけ変化するが、その変化した後の電圧もNMOS100が飽和状態となる範囲であれば、NMOS100に流れる電流は電源電圧の変化の前後で殆ど変わらない。そして、そのわずかな電流変化分の殆どは容量素子120の充放電によって補われ、発振器130に流れる電流やバッファ回路131に流れる電流の変化はさらに小さい。したがって、電源電圧が急に変化しても、NMOS100が飽和状態となる範囲であれば、その直後の発振周波数は殆ど変化しない。

【0023】

つぎに、電源電圧が変化してから少し時間が経過した後の動作を説明する。NMOS100が飽和状態であっても、NMOS100にかかる電圧が変化すれば、NMOS100に流れる電流が若干は変化する。そしてその変化分の殆どは容量素子120の充放電によって補われるが、そのときに容量素子120にかかる電圧が若干変化する。容量素子120にかかる電圧はすなわち発振器130にかかる電圧であり、その変化によって発振周波数が若干変化する。

【0024】

ところが、この電圧制御発振器をPLL回路等に使った場合、その発振周波数の変化は大きくなならないうちに検出される。すると、その結果を直ちに制御信号151に反映して、発振周波数を補正することができる。

【0025】

定常状態にあるときには、制御信号151がハイレベルの状態とローレベルの状態をほぼ同じ頻度で繰り返すことにより発振周波数の平均値を所定の周波数に保つが、電源電圧が変化してから少し経過した後は、制御信号151がハイレベルの状態とローレベルの状態の頻度を変えることにより、発振周波数の平均値が所定の周波数となるように制御することができる。

【 0 0 2 6 】

そして、電源電圧が変化してからさらに時間が経過すると、制御信号 1 5 1 のハイレベルとローレベルの頻度の差を基に、制御信号 1 5 0 の電圧を少しずつ変化させていくことができる。そして、制御信号 1 5 0 が変化して、N M O S 1 0 0 に流れる電流が電源電圧の変化する直前の電流値に等しくなるような電圧になったとき、容量素子 1 2 0 の充放電による補充は無くなる。以後、制御信号 1 5 0 の変化が若干行きすぎて戻るような振動を繰り返しながら、最終的には発振器 1 3 0 や容量素子 1 2 0 にかかる電圧は最初の電圧に戻る。

【 0 0 2 7 】

なお、容量素子 1 2 2 は、制御信号 1 5 0 の電圧をわずかずつ変化させるためと、クロストークノイズ等により制御信号 1 5 0 の電圧が急激に変化するのを抑えるために設けてある。

【 0 0 2 8 】

ここで、容量素子 1 2 0 の容量値が充分に大きくなるように設計しておけば、発振器 1 3 0 にかかる電圧の変化を充分に遅くすることができる。したがって、上記の一連の動作において、発振周波数が所定の周波数からずれる最大のずれ幅は、制御信号 1 5 1 による微調整の幅以下にできる。また、これら一連の動作の途中で再び電源電圧が変化した場合には、その時点から新たに上記の動作が起こる。

【 0 0 2 9 】

図 2 の従来例では、本発明の制御信号 1 5 1 による制御に相当する機構（すなわち、容量素子 1 2 0 の容量値によらず高速に制御できる機構）が設けられていない。このため、発振周波数の変化が検出された場合には、本発明の制御信号 1 5 0 による制御に相当する機構（すなわち、容量素子 1 2 0 の容量値が大きくなると制御の応答が遅くなる機構）によって補正しなければならなかった。したがって、制御の安定性を保つため、容量素子 1 2 0 に相当する容量素子の容量値を大きくできなかった。

【 0 0 3 0 】

本発明では、容量素子 1 2 0 の容量値によらず高速に制御できる機構を設けた

ため、容量素子 1 2 0 の容量値を十分に大きくできる。したがって、同じ電源電圧変動が生じた場合、発振器にかかる電圧の変動は、図 2 の従来例より本発明のほうが小さくでき、それによるジッタを小さくできる。

【 0 0 3 1 】

また、図 3 の従来例では、電源電圧変動対策に使う NMOS 3 4 0 と発振周波数の粗調整に使う NMOS 3 2 1 等が電源間に直列に入っていたため、NMOS 3 4 0 にかけられる電圧が小さく、NMOS 3 4 0 が飽和状態で動作する範囲が狭かった。したがって、ジッタ低減の効果が得られる電源電圧変動の許容範囲が狭かった。本発明では、電源電圧変動対策に使う MOS と発振周波数の粗調整に使う MOS を共通の 1 個の NMOS 1 0 0 のみとしたため、NMOS 1 0 0 にかけられる電圧を図 3 の従来例より大きくできる。したがって、NMOS 1 0 0 が飽和状態で動作する範囲は図 3 の従来例より広く、ジッタ低減の効果が得られる電源電圧変動の許容範囲も広い。

【 0 0 3 2 】

すなわち、本発明によれば、図 2 の従来例と図 3 の従来例がそれぞれ持つジッタ低減効果を合わせた以上のジッタ低減効果を引き出すことができる。

【 0 0 3 3 】

図 4 には、図 1 の実施例の構成要素であるバッファ回路 1 3 1 およびレベルシフト回路 1 3 2 の具体的な構成の一実施例を示す。この図において、参照符号 4 0 1 ~ 4 0 5 および 4 2 0 ~ 4 2 3 は NMOS、4 1 1 ~ 4 1 5 および 4 3 1 ~ 4 3 3 は PMOS、4 4 0 は容量素子、4 4 1 および 4 4 2 は抵抗素子を示す。また、参照符号 4 5 0 および 4 5 1 はバッファ回路 1 3 1 とレベルシフト回路 1 3 2 の間の信号およびそのノード、4 5 2 は内部信号およびそのノードを示す。

【 0 0 3 4 】

バッファ回路 1 3 1 は、発振器 1 3 0 に大きな負荷がかからないように、発振器 1 3 0 からの信号 1 7 3 を取り出す回路である。また、この実施例のバッファ回路 1 3 1 は、4 5 0 および 4 5 1 の差動信号を出力するように構成してある。具体的には、NMOS 4 0 1 ~ 4 0 5 および PMOS 4 1 1 ~ 4 1 5 による複数のインバータによって構成し、信号 1 7 3 が偶数段のインバータを経由して信号

4 5 0 に出力され、奇数段のインバータを経由して信号 4 5 1 に出力されるように構成してある。また、各段のインバータを構成する MOS を適当な大きさに設計することにより、差動信号 4 5 0 および 4 5 1 を位相差が概ね 1 8 0 度の差動信号（すなわち、一方の立ち上がりの時刻と他方の立下りの時刻がほぼ一致する差動信号）にする。

【 0 0 3 5 】

レベルシフト回路 1 3 2 は、電源 V_{dd} の電圧と内部ノード 1 7 0 の電圧の間で振れる差動信号 4 5 0 および 4 5 1 を、電源 V_{dd} の電圧と電源 V_{ss} の電圧の間のフル振幅で振れる信号 1 6 0 に変換する回路である。この回路は、NMOS 4 2 0 ~ 4 2 2 および PMOS 4 3 1 および 4 3 2 によるカレントスイッチ回路と NMOS 4 2 3 および PMOS 4 3 3 によるインバータで構成してある。カレントスイッチ回路によって内部信号 4 5 2 の信号振幅を拡げると共にその中心電圧を V_{dd} の電圧と V_{ss} の電圧の中間付近に近付け、インバータでほぼフル振幅に拡げるように動作する。容量素子 4 4 0 は、電源電圧が変動したときに NMOS 4 2 0 のゲートソース間電圧が急激に変化しないようにするために設けてある。抵抗素子 4 4 1 および 4 4 2 は、NMOS 4 2 0 のゲート電極に加えるバイアス電圧を発生するための抵抗分圧回路である。

【 0 0 3 6 】

図 5 には、レベルシフト回路 1 3 2 の図 4 以外の実施例の 1 つを示す。この図において、参照符号 5 0 1 および 5 0 2 は NMOS、5 1 1 は PMOS、5 4 0 は容量素子を示す。また、参照符号 5 6 0 は出力信号の 1 つを示す。この出力信号 5 6 0 は、出力信号 1 6 0 と共に差動の信号を構成する。

【 0 0 3 7 】

このようなレベルシフト回路 1 3 2 を使えば、図 1 の実施例の電圧制御発振器の出力を差動信号で取り出すこともできる。また、NMOS 4 2 0 のゲート電極にかかるバイアス電圧は、図 4 のように抵抗分圧回路を使って発生させることもできるし、図 5 のように NMOS 5 0 1 および 5 0 2 および PMOS 5 1 1 で分圧する回路を使って発生させることもできる。MOS で分圧する回路を使えば、NMOS 5 0 1 および 5 0 2 および PMOS 5 1 1 のゲート幅の比を NMOS 4

20のゲート幅の半分およびNMOS 421およびPMOS 431のゲート幅の比と一致するように設計することにより、出力信号160および560が電源V_{dd}とV_{ss}の電圧の中間付近で振れるようにすることが容易である。

【0038】

また、容量素子540は、容量素子440と同様に電源電圧が変動したときにPMOS 431や432のゲートソース間電圧が急激に変化しないようにするために設けてある。

【0039】

図6には、本発明の電圧制御発振器の図1以外の実施例の1つを示す。この図は、図1の実施例にNMOS 604および605とPMOS 614および615を付加し、発振器130の部分を5段のインバータによるリングオシレータで構成した例である。このように、リングオシレータのインバータの段数は奇数であれば原理的には何段であってもかまわない。

【0040】

インバータの段数を増やすと発振の上限周波数が下がるが、バッファ回路131を構成するインバータ1段当たりの遅延時間に対する発振周期の比が大きくなるので、バッファ回路131の出力を位相差が概ね180度の差動信号にすることが容易になる。

【0041】

図7には、本発明の電圧制御発振器のさらに他の実施例の1つを示す。この図は、図1の実施例において、制御信号151により発振周波数を制御する部分に変更を加えた回路である。具体的には、PMOS 714および715を加え、これらのPMOSに流れる電流がPMOS 111に流れる電流に加勢できるような構成になっている。この加勢する電流を流すか否かは制御信号751により制御できるようになっているが、制御信号751は制御信号151のときと極性が逆である。すなわち、制御信号751がローレベルのときには上記の電流を流して発振周波数が高くなり、ハイレベルのときには発振周波数が低くなる。

【0042】

図8には、本発明の電圧制御発振器を使って構成したPLL回路の実施例の1

つを示す。図 8 において、参照符号 8 0 0 は位相比較器、8 0 1 は周波数比較器、8 0 2 は分周器、8 0 3 はデジタル制御回路、8 0 4 はチャージポンプ、8 0 5 は本発明の電圧制御発振器、8 0 6 はクロック分配回路を示す。また、参照符号 8 7 0 はこの PLL 回路の出力であるクロック信号およびその出力端子、8 5 0 はクロック信号の位相基準となるリファレンス信号およびその入力端子、8 5 1 ~ 8 5 4 および 8 6 0 ~ 8 6 4 は内部信号およびそのノードを示す。

【 0 0 4 3 】

電圧制御発振器 8 0 5 の発振出力 1 6 0 が、クロック分配回路 8 0 6 を介して多数の分配先にクロック信号 8 7 0 として分配される。そのうちの 1 つが分周器 8 0 2 に入力され、信号 8 6 0 として出力される。そして、信号 8 6 0 とリファレンス信号 8 5 0 の位相と周波数が、位相比較器 8 0 0 と周波数比較器 8 0 1 によって比較され、その結果が 1 5 1 および 8 5 2 および 8 6 2 の信号として出力される。ただし、位相比較器 8 0 0 に入力する信号の位相が回路の負荷ばらつき等の影響を受けないようにするため、位相比較器 8 0 0 には 8 6 0 の信号とリファレンス信号 8 5 0 を直接入力し、周波数比較器 8 0 1 にはバッファを通した信号 8 6 1 および 8 5 1 を入力する。また、信号 8 6 1 より信号 8 5 1 のほうが周波数が高いときには信号 8 5 2 がハイレベルになり、信号 8 5 1 より信号 8 6 1 のほうが周波数が高いときには信号 8 6 2 がハイレベルになるように周波数比較器 8 0 1 を構成しておく。

【 0 0 4 4 】

これらの比較結果は、デジタル制御回路 8 0 3 に入力される。デジタル制御回路 8 0 3 は、バッファを通したリファレンス信号 8 5 1 に同期して動くデジタル回路であり、上記の比較結果を基にチャージポンプ 8 0 4 を駆動する信号 8 5 3 および 8 5 4 および 8 6 3 および 8 6 4 を生成する。チャージポンプ 8 0 4 は、これらの信号に駆動されて、1 5 0 の端子に電荷を送り込んだり 1 5 0 の端子から電荷を引き出したりする回路である。

【 0 0 4 5 】

その結果、電圧制御発振器 8 0 5 の入力端子 1 5 0 に接続された容量素子 1 2 2 (図 1 参照) に蓄積された電荷量が変化し、制御信号 1 5 0 の電圧が変化する

。この制御信号 1 5 0 と、位相比較器 8 0 0 から直接供給される制御信号 1 5 1 により、電圧制御発振器 8 0 5 の発振周波数が制御される。その結果がまた分周器 8 0 2 を介して信号 8 6 0 にフィードバックされ、最終的には信号 8 6 0 とリファレンス信号 8 5 0 の周波数と位相が一致する。

【 0 0 4 6 】

図 9 には、図 8 の実施例の構成要素であるデジタル制御回路 8 0 3 の具体的な構成の実施例の 1 つを示す。この図において、参照符号 9 0 0 ～ 9 0 2 はエッジトリガ型のフリップフロップ、9 0 3 はセトリセット型のフリップフロップ、9 0 4 は 2 ビットカウンタ、9 0 5 は OR 回路、9 0 6 および 9 1 0 および 9 1 1 は AND 回路、9 0 7 は複数かつ奇数のインバータ、9 0 8 は NOR 回路、9 0 9 はインバータを示す。また、参照符号 9 5 0 ～ 9 5 2 は内部信号およびそのノードを示す。このうち、2 ビットカウンタ 9 0 4 は、バッファを通したリファレンス信号 8 5 1 にパルスが加わるごとにカウントが進み、信号 9 5 0 がハイレベルになるとリセットされるように構成する。

【 0 0 4 7 】

つぎに、この回路の動作を説明する。フリップフロップ 9 0 0 ～ 9 0 2 は、バッファを通したリファレンス信号 8 5 1 に同期して、比較器の出力である 1 5 1 および 8 5 2 および 8 6 2 の信号を取り込むために設けてある。そして、周波数比較結果を示す信号 8 5 2 または 8 6 2 がハイレベルのときには、その信号が 8 5 3 または 8 6 3 に出力されると共に、内部信号 9 5 0 がハイレベルになる。すると、フリップフロップ 9 0 3 がリセットされて内部信号 9 5 1 がローレベルになり、8 5 4 および 8 6 4 に出力される信号が共にローレベルになる。また、この時 2 ビットカウンタ 9 0 4 のカウントもリセットされる。

【 0 0 4 8 】

周波数比較結果を示す信号 8 5 2 および 8 6 2 が共にローレベルになると、8 5 3 および 8 6 3 に出力される信号がローレベルになると共に、内部信号 9 5 0 がローレベルになって信号 8 5 1 にパルスが加わるごとに 2 ビットカウンタ 9 0 4 のカウントが進む。そして 4 カウント進む間に信号 8 5 2 および 8 6 2 が一度もハイレベルにならないければ、フリップフロップ 9 0 3 がセットされて内部信号

9 5 1 がハイレベルになる。一方、内部信号 9 5 2 には、インバータ 9 0 7 の遅延時間の総和で決まるパルス幅のパルスが、信号 8 5 1 にパルスが加わるごとに現れる。すると、位相比較結果を表す信号 1 5 1 によって決まる 8 5 4 または 8 6 4 のいずれかの信号が、内部信号 9 5 2 に現れるパルス信号のパルス幅の間だけハイレベルになる。

【 0 0 4 9 】

以上、このデジタル制御回路の動作をまとめると、以下のようになる。周波数比較結果を示す信号 8 5 2 または 8 6 2 のいずれかがハイレベルのときには、そのいずれかに応じて 8 5 3 または 8 6 3 の信号がハイレベルになると共に、8 5 4 および 8 6 4 の信号が両方ともローレベルになる。周波数比較結果を示す信号 8 5 2 および 8 6 2 の両方がローレベルの状態が 4 サイクル以上続くと、位相比較結果を示す信号 1 5 1 に応じて 8 5 4 または 8 6 4 のいずれかの信号にパルスが出力される。

【 0 0 5 0 】

ここで、周波数比較結果に基づいて出力される信号 8 5 3 および 8 6 3 と位相比較結果に基づいて出力される信号 8 5 4 および 8 6 4 とを分離した目的は、周波数が一致していないときには大きな制御をかけて速く収束させると共に、周波数が一致して位相だけがずれているときには制御量を小さくして大きなジッタが発生しないようにするためである。そのため、別々の信号を使って制御する。

【 0 0 5 1 】

また、周波数比較結果に基づいて出力される信号 8 5 3 および 8 6 3 は 1 サイクルの間ハイレベルを保つのに対し、位相比較結果に基づいて出力される信号 8 5 4 および 8 6 4 はパルスとなるように構成した。これにより、制御をかける時間も変えることができる。

【 0 0 5 2 】

また、2 ビットカウンタ 9 0 4 を設けた目的は、周波数比較結果が出力されなくなった直後に位相比較結果に基づいて制御をかけるのを避けるためである。すなわち、周波数比較結果が出力されなくなった直後は正しい位相比較が行なわれない場合が多い。このため、そのときの位相比較結果に基づいて制御をかけると

逆の制御がかかる場合が多い。したがって、2ビットカウンタを設け、4サイクル待ってから位相比較結果に基づく制御を始めるように構成した。

【 0 0 5 3 】

図 1 0 には、図 8 の実施例の構成要素であるチャージポンプ 8 0 4 の具体的な構成の実施例の 1 つを示す。この図において、参照符号 1 0 0 0 ~ 1 0 0 3 は N M O S 、 1 0 1 0 ~ 1 0 1 3 は P M O S 、 1 0 2 0 および 1 0 2 1 は抵抗素子、 1 0 3 0 および 1 0 3 1 はインバータを示す。また、参照符号 1 0 5 0 ~ 1 0 5 2 は内部信号およびそのノードを示す。

【 0 0 5 4 】

この回路は、8 5 3 の信号がハイレベルになったときには P M O S 1 0 1 3 が導通して V d d から 1 0 5 2 のノードに電流が流れ込み、8 6 3 の信号がハイレベルになったときには N M O S 1 0 0 3 が導通して 1 0 5 2 のノードから V s s に電流が流れ出す。そして 1 0 5 2 のノードが抵抗素子 1 0 2 1 を介して制御信号 1 5 0 の端子に接続されているため、この電流が図 1 等 に示した電圧制御発振器内の容量素子 1 2 2 を充放電する。抵抗素子 1 0 2 1 は、容量素子 1 2 2 の寄生抵抗のために 1 5 0 のノードの電位が一時的に上がりすぎたり下がりすぎたりするのを防止するために設けてある。

【 0 0 5 5 】

8 5 4 または 8 6 4 の信号がハイレベルになったときにも同様の充放電が行なわれる。ただし、N M O S 1 0 0 2 および P M O S 1 0 1 2 に流れる電流は N M O S 1 0 0 1 および P M O S 1 0 1 1 によって制限されるため、8 5 3 または 8 6 3 の信号による充放電の場合より電流値を小さくできる。そのときの電流値は、N M O S 1 0 0 0 と 1 0 0 1 のゲート幅の比や P M O S 1 0 1 0 と 1 0 1 1 のゲート幅の比の設計により、さらに抵抗素子 1 0 2 0 の抵抗値により、かなり自由に設定することが可能である。

【 0 0 5 6 】

また、8 5 3 または 8 6 3 の信号による充放電の電流値も、N M O S 1 0 0 3 や P M O S 1 0 1 3 のゲート幅によってある程度自由に設定することが可能である。

【 0 0 5 7 】

なお、8 5 3 または 8 6 3 の信号による充放電の回路も 8 5 4 または 8 6 4 の信号による充放電の回路と同様に他の MOS で電流を制限するような構成にして、そのゲート幅等によって電流値を設定することももちろん可能である。

【 0 0 5 8 】

さらに、図 9 のデジタル制御回路と図 1 0 のチャージポンプの組み合わせでは周波数比較結果による制御系統（8 5 3 または 8 6 3 の信号による充放電）と位相比較結果による制御系統（8 5 4 または 8 6 4 の信号による充放電）の 2 つの制御系統を設けたが、これを 3 系統以上にして周波数の差が大きい場合と小さい場合の制御の強さを変えることも可能である。

【 0 0 5 9 】

すなわち、周波数が 2 倍以上違う場合には周波数比較回路の出力 8 5 2 または 8 6 2 が連続してハイレベルになるが、周波数の比が 2 倍未満になると周波数比較回路の出力 8 5 2 または 8 6 2 が連続してハイレベルになることはない。さらに、1. 5 倍未満になると、周波数比較回路の出力 8 5 2 または 8 6 2 がハイレベルになるのは、3 サイクル以上毎に 1 回となる。デジタル回路でこれを検出するのは容易である。

【 0 0 6 0 】

そして、図 1 0 の実施例では充放電の回路は 2 系統しか設けていないが、これを 3 系統設けて、それぞれの系統毎に電流値を変え、周波数の差が大きい場合には最も大きい電流値で充放電し、周波数の差が有るが小さい場合には中程度の電流値で充放電し、位相比較結果によって制御するときには最も小さい電流値で充放電するように構成するのは容易である。4 系統以上設けることももちろん可能である。

【 0 0 6 1 】

図 1 1 には、チャージポンプ 8 0 4 の図 1 0 以外の実施例の 1 つを示す。この図において、参照符号 1 1 0 0 ～ 1 1 0 7 は NMOS、1 1 1 0 ～ 1 1 1 9 は PMOS、1 1 3 0 ～ 1 1 3 2 は容量素子、1 1 4 0 ～ 1 1 4 3 は抵抗素子を示す。また、1 1 5 0 ～ 1 1 5 4 は内部信号およびそのノードを示す。

【 0 0 6 2 】

この回路は、制御信号 1 5 0 の電圧が V_{ss} の電圧に近い場合において、8 5 4 の信号に駆動されて流入する電荷量と 8 6 4 の信号に駆動されて流出する電荷量のバランスを保つために、図 1 0 の回路を改良した回路である。すなわち、図 1 0 の回路において制御信号 1 5 0 の電圧が V_{ss} の電圧に近い場合には、PMOS 1 0 1 1 や 1 0 1 2 には十分なソースドレイン間電圧がかかるのに対し、NMOS 1 0 0 1 や 1 0 0 2 のソースドレイン間にかかる電圧は不十分である。したがって、1 回の駆動信号によって流出する電荷量は流入する電荷量に比べてかなり小さくなる。これを改善したのが図 1 1 の実施例である。

【 0 0 6 3 】

図 1 1 の回路は、抵抗素子 1 1 4 0 と容量素子 1 1 3 0 によるローパスフィルタを介して制御信号 1 5 0 の電圧が 1 1 5 0 のノードに接続され、この電圧と 1 1 5 3 のノードの電圧が PMOS 1 1 1 5 および 1 1 1 6 等によるカレントスイッチで比較されるような構成になっている。そしてその結果を PMOS 1 1 1 8 および 1 1 1 9 等によるカレントスイッチで増幅し、NMOS 1 1 0 6 によるソースフォロワ回路に加える。

【 0 0 6 4 】

そしてそのソースフォロワ回路の出力 1 1 5 2 の電圧を抵抗素子 1 1 4 1 ~ 1 1 4 3 による抵抗分圧回路で分圧し、1 1 5 3 のノードにフィードバックする。すると、1 1 5 3 のノードの電圧が 1 1 5 0 のノードの電圧すなわち制御信号 1 5 0 の電圧に等しくなったときに釣り合う。ここで抵抗素子 1 1 4 1 と 1 1 4 2 の抵抗値が等しくなるように設計しておけば、1 1 5 2 のノードの電圧と制御信号 1 5 0 の電圧の差は制御信号 1 5 0 の電圧と 1 1 5 4 のノードの電圧の差に略等しくなり、NMOS 1 1 0 7 が導通したときに流入する電荷量と NMOS 1 0 0 2 が導通したときに流出する電荷量をほぼ等しくできる。なお、この回路が有用であるのは制御信号 1 5 0 の電圧や 1 0 5 2 のノードの電圧が V_{ss} の電圧に近い場合であるため、8 5 4 の信号で駆動する MOS 1 1 0 7 にも NMOS を使用する。

【 0 0 6 5 】

図 1 2 には、図 8 の実施例の構成要素である位相比較器 8 0 0 の具体的な構成の実施例の 1 つを示す。この回路は特開平 0 9 - 7 4 3 5 2 の明細書に開示されている。この回路は、8 5 0 の信号の立ち上がりと 8 6 0 の信号の立ち上がりのいずれが先に現れるかを N A N D 回路 1 2 0 0 および 1 2 0 1 により構成されたフリップフロップが比較し、その結果をフリップフロップ 1 2 0 2 が取り込んで 1 5 1 に出力する。

【 0 0 6 6 】

図 1 3 には、図 8 の実施例の構成要素である周波数比較器 8 0 1 の具体的な構成の実施例の 1 つを示す。この回路も特開平 0 9 - 7 4 3 5 2 明細書に開示されている。この回路は、8 5 1 の信号の立ち上がりと 8 6 1 の信号の立ち下がりが交互に現れるか否かを比較し、いずれかが 2 回以上連続して現れると、連続して現れた側の出力信号 8 5 2 または 8 6 2 がハイレベルになる。

【 0 0 6 7 】

以上述べた P L L 回路を使えば、電源電圧が変動したときに発生するジッタの小さい本発明の電圧制御発振器を使いこなすことができる。

【 0 0 6 8 】

図 1 4 には、本発明の P L L 回路を使って構成した半導体集積回路装置の実施例の 1 つについて、その配置を示す。図 1 4 において、参照符号 1 4 0 0 は半導体集積回路装置、1 4 0 1 は本発明の電圧制御発振器を含む P L L 回路の主要部分を搭載する位置、1 4 0 2 ~ 1 4 0 4 はクロック分配回路 8 0 6 を構成するドライバを分散して搭載する位置、1 4 1 0 は外部から供給される基準信号を受ける入力回路を搭載する位置を示す。また、参照符号 1 4 5 0 ~ 1 4 5 3 はこれらの間を接続する配線を示し、1 4 6 0 は各分配先にクロック信号 8 7 0 を供給する配線を示す。

【 0 0 6 9 】

本発明の電圧制御発振器を使えば、電源電圧が変動したときに発生するジッタが小さいので、電圧制御発振器を含む P L L 回路の構成要素を、電源電圧変動を気にせず半導体集積回路装置内の任意の位置に搭載することができる。

【 0 0 7 0 】

【発明の効果】

本発明の電圧制御発振器によれば、電源電圧が変動したときに発生するジッタを低減することができる。

【 0 0 7 1 】

また、本発明の P L L 回路によれば、電源電圧が変動したときに発生するジッタの小さい P L L 回路を実現することができる。

【 0 0 7 2 】

また、本発明の半導体集積回路装置によれば、電源電圧が変動したときに発生するジッタの小さいクロック信号を供給することができる。

【図面の簡単な説明】

【図 1】

本発明の電圧制御発振器の実施例の 1 つを示す回路図。

【図 2】

従来の電圧制御発振器の 1 つを示す回路図。

【図 3】

従来の電圧制御発振器の他の 1 つを示す回路図。

【図 4】

図 1 の実施例の構成要素について、実施例の 1 つを示す回路図。

【図 5】

図 1 の実施例の構成要素について、他の実施例の 1 つを示す回路図。

【図 6】

本発明の電圧制御発振器の他の実施例の 1 つを示す回路図。

【図 7】

本発明の電圧制御発振器のさらに他の実施例の 1 つを示す回路図。

【図 8】

本発明の P L L 回路の実施例の 1 つを示す回路図。

【図 9】

図 8 の実施例の構成要素の実施例の 1 つを示す回路図。

【図 1 0】

図 8 の実施例の別の構成要素の実施例の 1 つを示す回路図。

【図 1 1】

図 8 の実施例の図 1 0 と異なる実施例の 1 つを示す回路図。

【図 1 2】

図 8 の実施例のさらに別の実施例の 1 つを示す回路図。

【図 1 3】

図 8 の実施例のさらに別の実施例の 1 つを示す回路図。

【図 1 4】

本発明の半導体集積回路装置の実施例の 1 つを示す配置図。

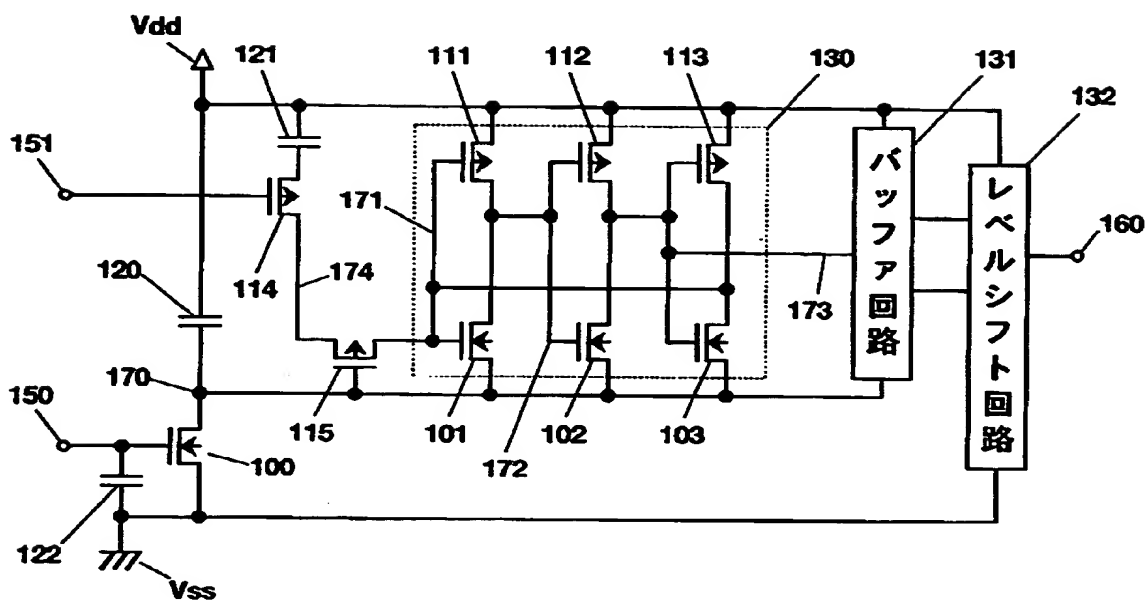
【符号の説明】

1 0 0 ~ 1 0 3 … N チャネル型の MOS トランジスタ (NMOS)、1 1 1 ~ 1 1 5 … P チャネル型の MOS トランジスタ (PMOS)、1 2 0 ~ 1 2 2 … 容量素子、V d d … 高電位側の電源、V s s … 低電位側の電源、1 5 0 … アナログの制御信号、1 5 1 … デジタルの制御信号、1 6 0 … 発振出力。

【書類名】 図面

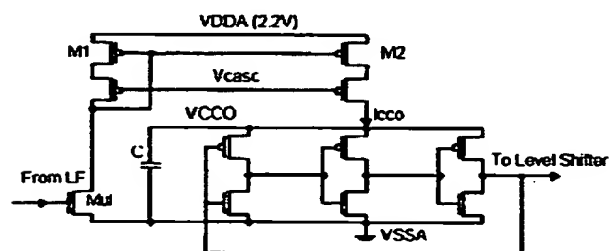
【図 1】

図 1

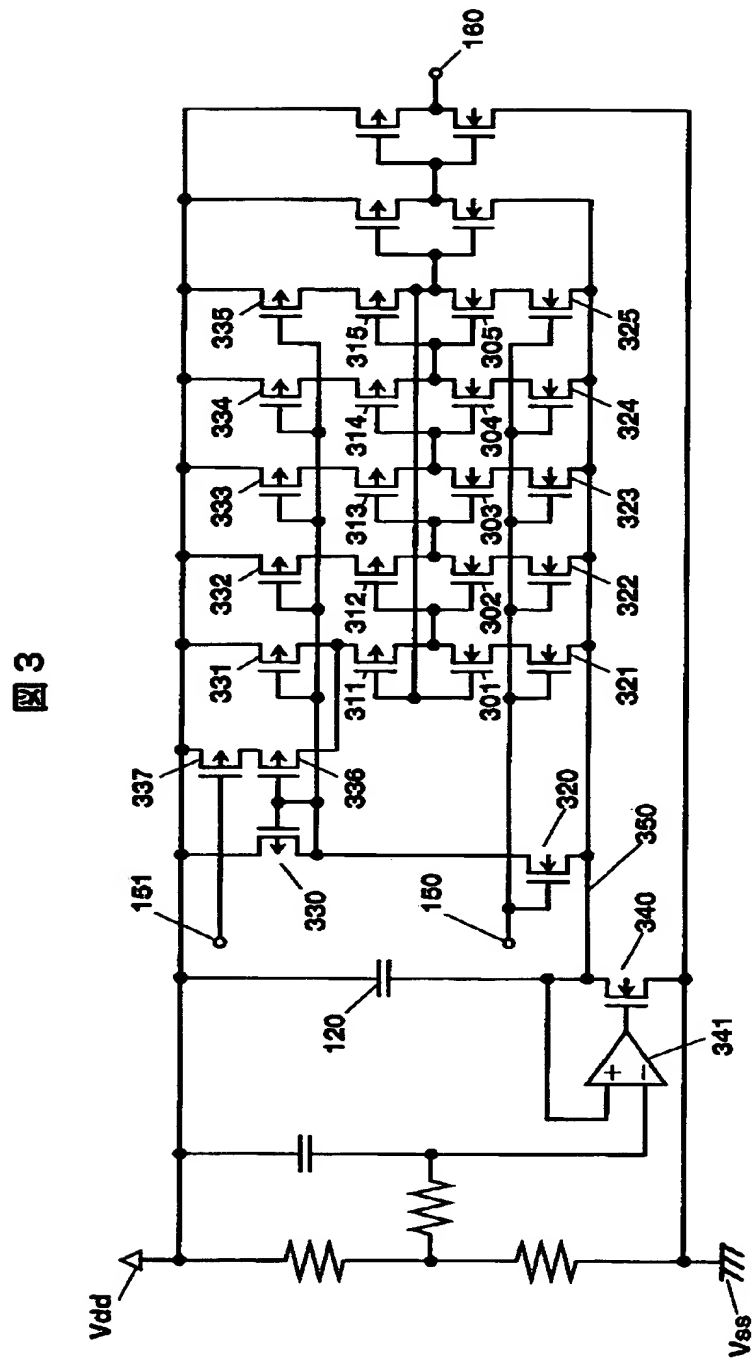


【図 2】

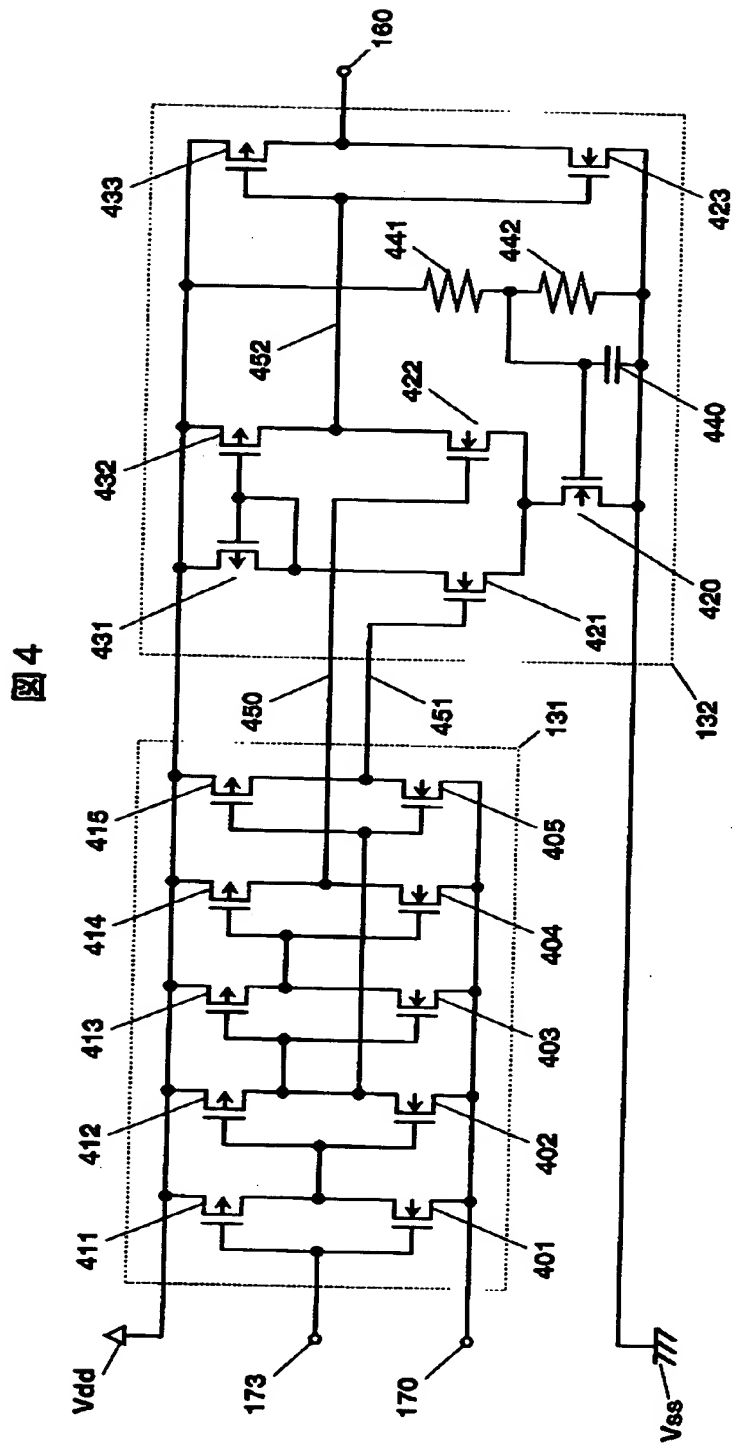
図 2



【図 3】

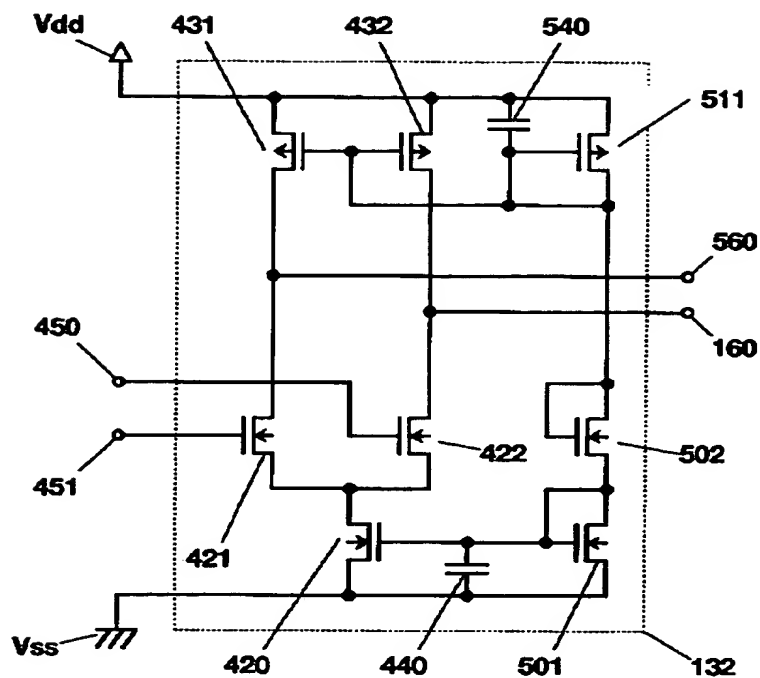


【図4】



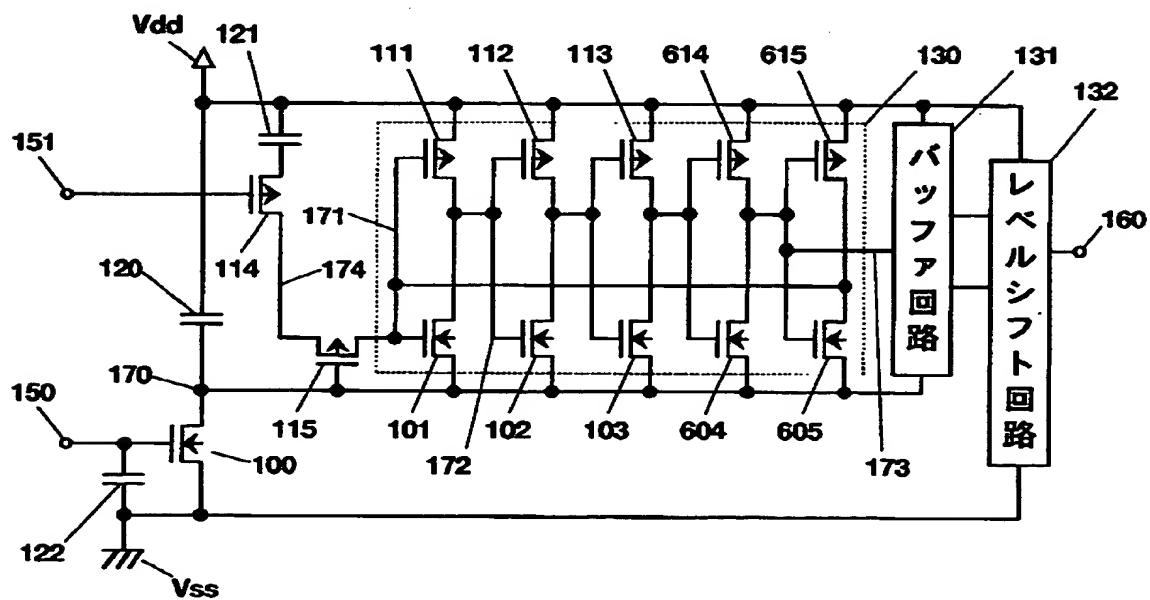
【図 5】

図 5



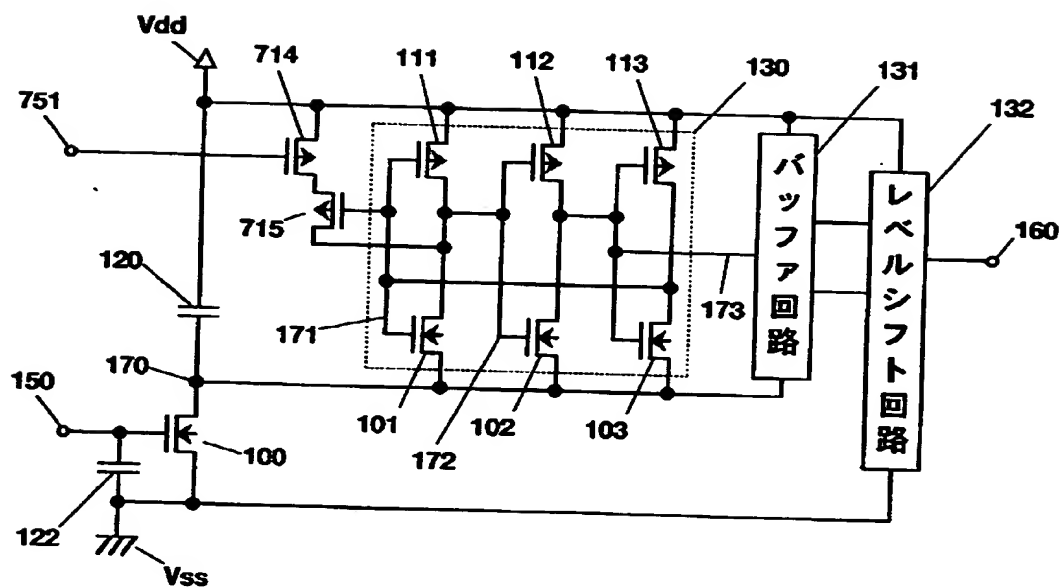
【図 6】

図 6



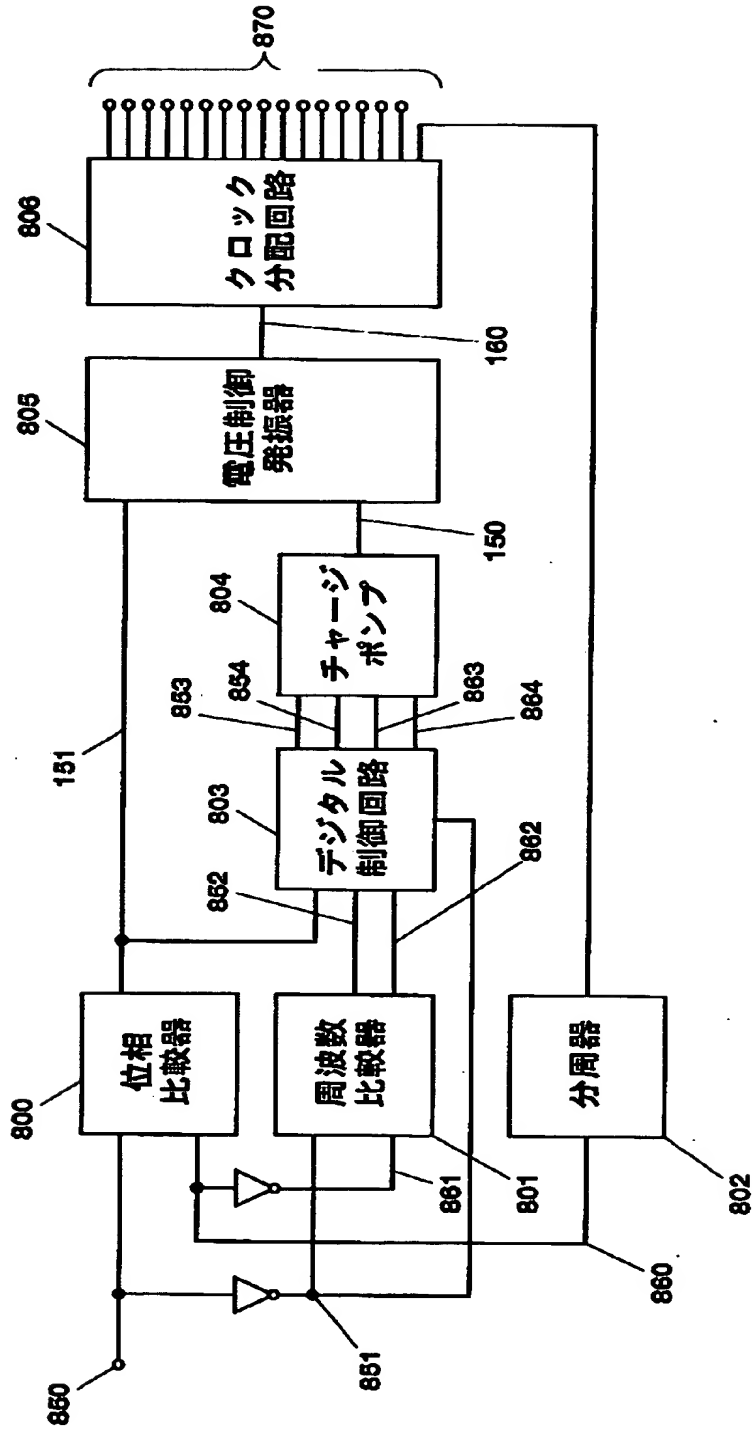
【図7】

図7



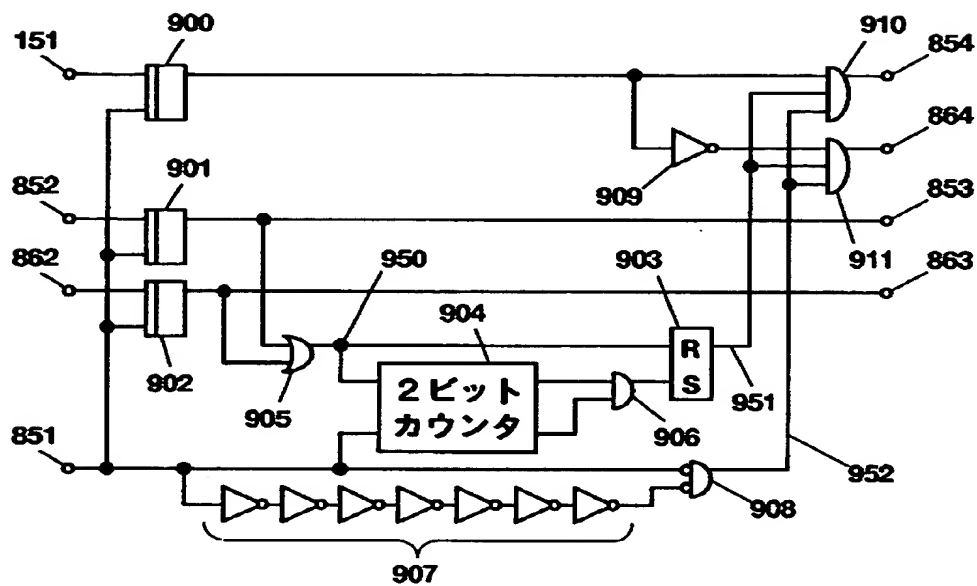
【図 8】

図 8



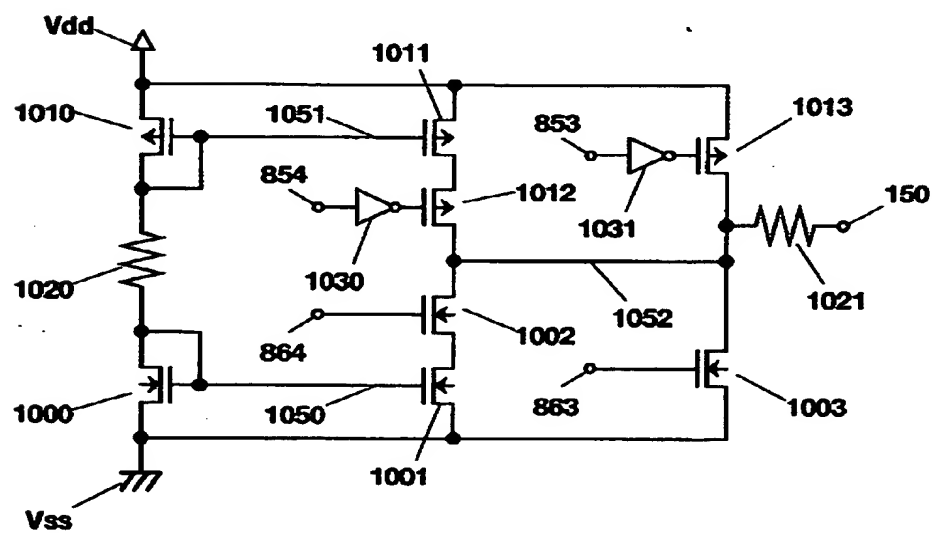
【図9】

圖 9



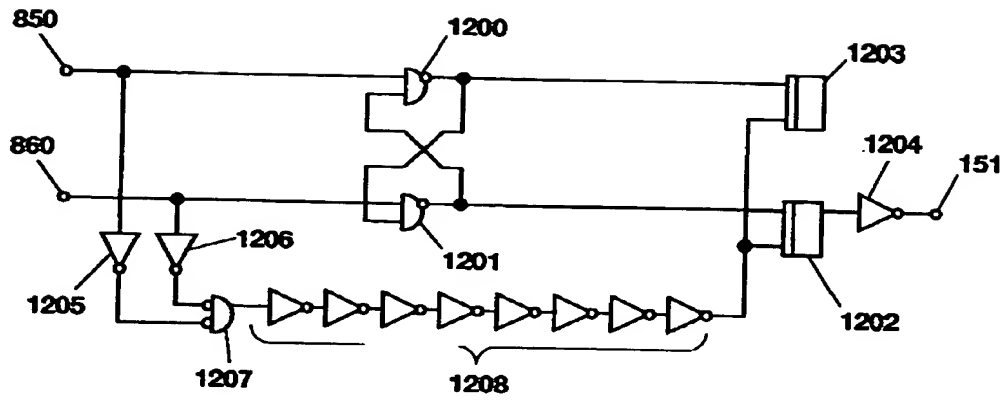
【図 10】

图 10



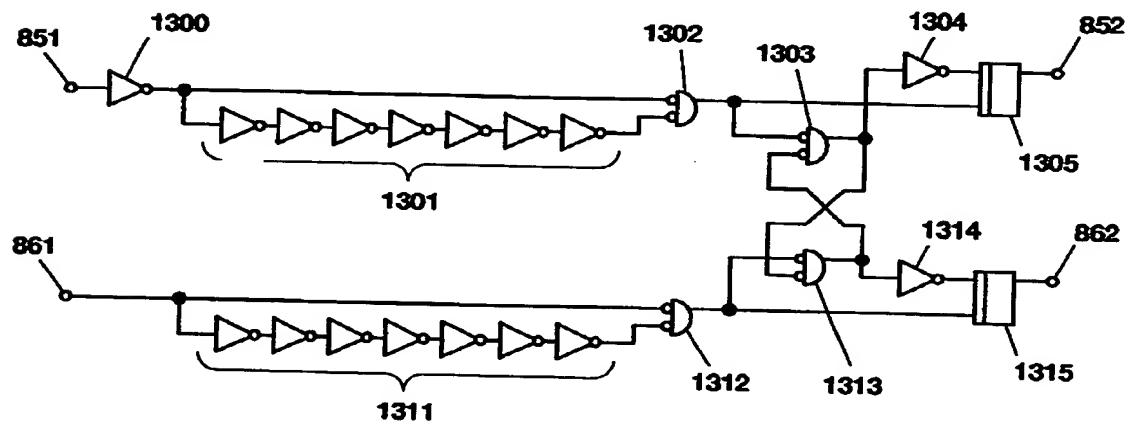
【图 1 2】

图 12



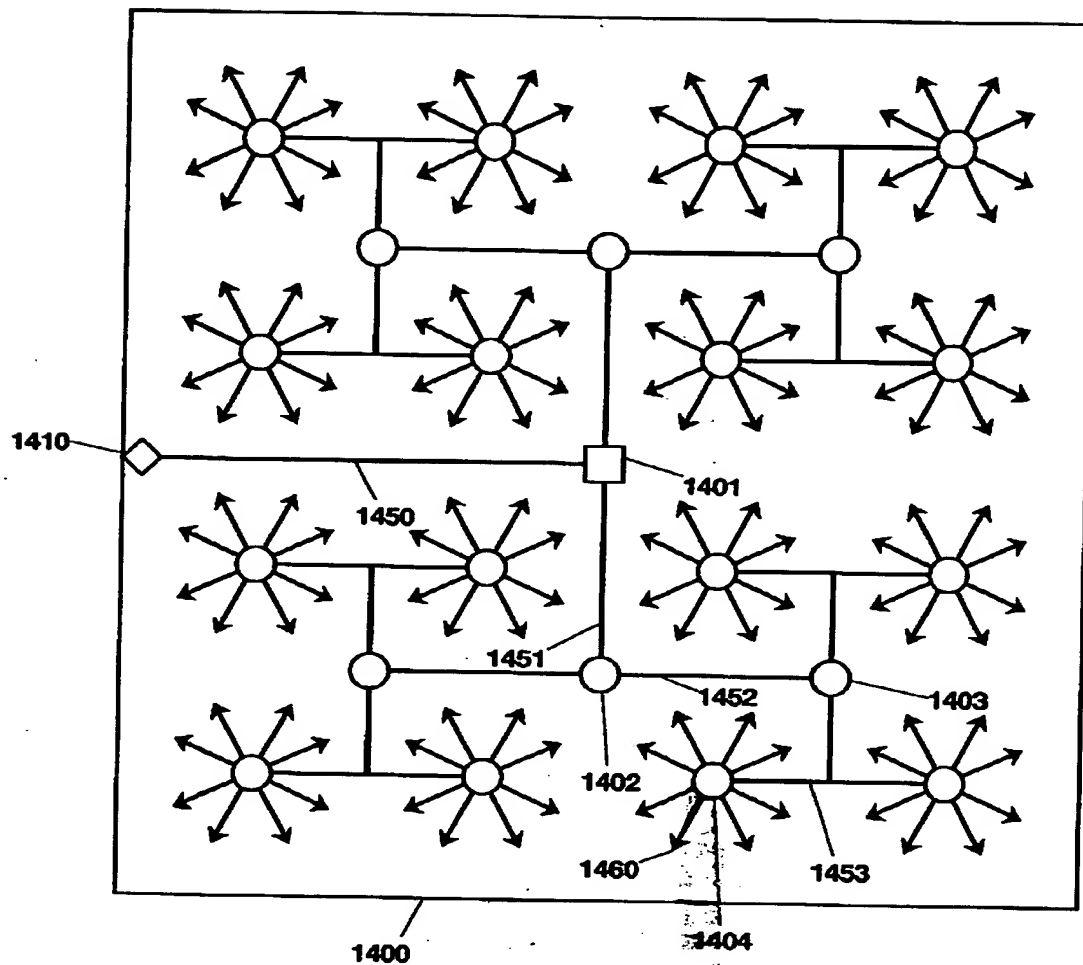
【図 13】

圖 13



【図 14】

図 14



【書類名】 要約書

【要約】

【課題】 電源電圧が変動したときに発生するジッタの小さいクロック信号を供給できるPLL回路および電圧制御発振器を実現する。

【解決手段】 一端を第1の電源（ V_{ss} ）に接続された第1のMOSトランジスタと、上記第1のMOSトランジスタの他端と第2の電源（ V_{dd} ）の間に並列に接続された発振器および第1の容量素子を備え、上記第1のMOSトランジスタのゲート電圧を制御することによって発振周波数を制御する電圧制御発振器において、上記第1のMOSトランジスタとは別に上記発振器の発振周波数を制御する第2の手段（114および121）を備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005108]

| | |
|----------|--------------------|
| 1. 変更年月日 | 1990年 8月31日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都千代田区神田駿河台4丁目6番地 |
| 氏 名 | 株式会社日立製作所 |